

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260513

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 08-067661

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.03.1996

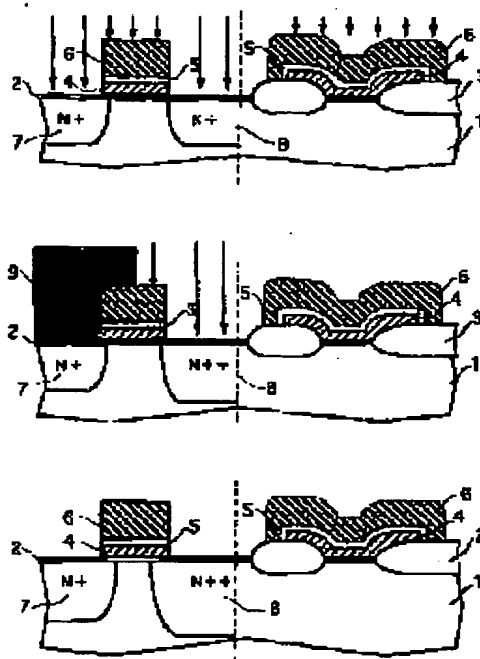
(72)Inventor : TAKAHASHI SATOSHI
KURIHARA HIDEO
HIGASHIYA MASAOKI
KOMORI HIDEKI
SHIMADA HIROYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a leak current caused by a tunnel current between bands which is generated at the time of blanking, while maintaining a blanking speed, by making the impurity concentration of a first semiconductor region having a channel region layer than that of a second semiconductor region.

SOLUTION: A tunnel insulating film 2 and an element isolation region 3 are formed on the surface of a P-type semiconductor substrate 1. A first conductive layer 4 to serve as a floating gate, and an insulating film 5 are formed on the tunnel insulating film 2. A second conductive layer 6 to serve as a control gate is deposited. By selectively etching the first and the second conductive layers 4, 6, a pattern is so formed that the floating gate and the control gate have the same ends. The floating gate and the control gate are used as masks, and N-type impurities are ion-implanted. N-type impurities are again on-implanted in a source region 8, and annealing is performed. Thereby the source region 8 and the drain region 7 are diffused, so that an FN blanking region can be ensured and the blanking speed is increased while restraining the short channel effect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260513

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平8-67661

(22) 出願日 平成8年(1996)3月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高橋 聡

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 栗原 英男

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

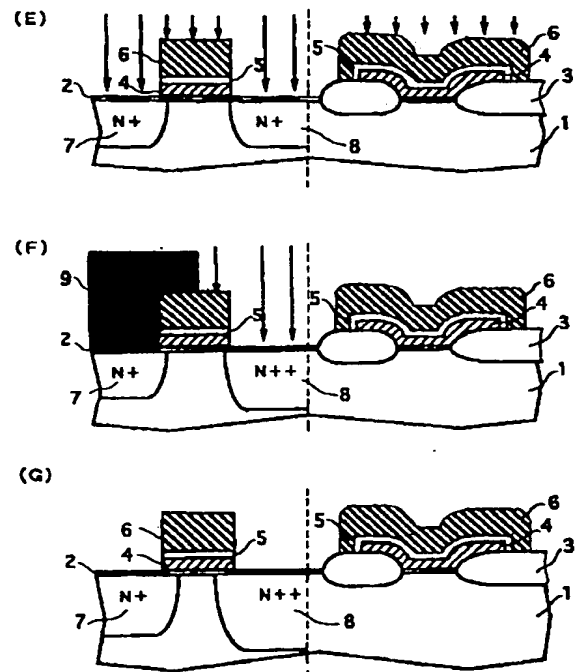
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 微細化の妨げとなる2重拡散層を形成せず、且つ、消去速度を保ちながら、消去時に発生するバンド間トンネル電流に伴うリーク電流の低減をする半導体装置及びその製造方法を提供する。

【解決手段】 第1導電型(P型)の半導体基板1の一主面に互いに隔離して形成されたソース/ドレインの一方となる第2導電型の第1半導体領域と、第1の半導体領域から隔離されて形成されたソース/ドレインの他方となる第2導電型の第2の半導体領域と、第1の半導体領域と第2の半導体領域との間の基板上に形成されると共に、第1の半導体領域上にトンネル領域を持つゲート絶縁膜2と、ゲート絶縁膜上に形成され、トンネル領域を介して第1の半導体領域に相対する浮遊ゲート4と、浮遊ゲート上に絶縁膜5を介して形成された制御ゲート6とを具備し、第1の半導体領域の不純物濃度が、第2の半導体領域の不純物濃度よりも大きい。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板の一主面に互いに隔離して形成されたドレイン領域及びソース領域の一方となる第2導電型の第1半導体領域と、前記基板に前記第1の半導体領域から隔離されて形成されたドレイン領域及びソース領域の他方となる第2導電型の第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との間の前記基板上に形成されると共に、前記第1の半導体領域上にトンネル領域を持つゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記トンネル領域を介して前記第1の半導体領域に相対する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを具備し、前記トンネル領域を有する第1の半導体領域の不純物濃度が、前記第2の半導体領域の不純物濃度よりも大きいことを特徴とする半導体装置。

【請求項2】 前記第1の半導体領域の不純物濃度が、前記第2の半導体領域の不純物濃度よりも1.1倍以上濃度が大きいことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の半導体領域の不純物が、一つの不純物から形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 一導電型の半導体基板表面に、フィールド絶縁膜を選択的に形成する工程と、該基板表面にゲート絶縁膜を形成する工程と、該ゲート絶縁膜を介して浮遊ゲートとなる第1導電層を形成する工程と、該第1導電層表面に絶縁膜を形成する工程と、該絶縁膜上に制御ゲートとなる第2導電層を形成する工程と、該第1導電層と該第2導電層とを選択的にエッチングを行い、浮遊ゲートと制御ゲートが同一端を有するようにパターン形成する工程と、次いで、該制御ゲートをマスクとして、反対導電型を示す不純物を打ち込む第1のイオン注入により、ソース及びドレイン領域を形成する工程と、該ソース又は該ドレイン領域の一方に、選択的に該反対導電型を示す不純物を打ち込む第2のイオン注入工程と、次いで、熱処理により該反対導電型を示す不純物を活性化する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に電氣的消去可能な不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置として、電氣的記憶消去／書き込み可能なフラッシュ型EEPROMが知られている。このフラッシュ型EEPROMは、浮遊ゲートに保持されているデータを電氣的に消去できるようにしたもので、浮遊ゲートとソース又はドレインの間に薄い酸化膜を設けた構造を有している。

【0003】従来、このフラッシュ型EEPROMのトンネル領域を有するソース側は、不純物濃度の薄い領域をもつ2重拡散層の構造をもっており、他方、ドレイン側は、2重拡散層を持たない拡散層の構造を有していることが、例えば、特開平6-77492号公報に記載されている。ソース側が2重拡散層にしているのは、消去時に発生するバンド間トンネル電流に伴うリーク電流の低減の為に行われている。このバンド間トンネル電流に伴うリーク電流は、トンネル領域に界面準位等が発生させ、データ保持特性、書換え回数等に悪影響を及ぼす事が知られている。

【0004】

【発明が解決しようとする課題】ところが、ソース側を2重拡散層構造にすると、ショート・チャネル効果が弱い事が知られている。前記2重拡散層を用いた場合、ショート・チャネル効果が厳しくなり、微細化の妨げとなる。一方、不純物濃度の薄い領域を削除すると、前記したように、バンド間トンネル電流が増加し、トンネル領域に劣化を引き起こす。

【0005】また、微細化に伴い、ソース及びドレイン領域となる不純物濃度の低減も必需である。消去方法としては、ソースからのFN消去を行うが、ソース拡散層の濃度を低くした場合には、ソースとゲートの被り幅が小さくなり、トンネル領域が狭くなる。この為、消去の速度が遅くなる。同時に、濃度が薄すぎる場合、消去領域の空乏化が大きくなり、消去の速度が遅くなる。

【0006】本発明の目的は、微細化の妨げとなる2重拡散層を形成せず、且つ、消去速度を保ちながら、消去時に発生するバンド間トンネル電流に伴うリーク電流の低減をする半導体装置及びその製造方法を提供することである。

【0007】

【課題を解決するための手段】上記課題は、以下に示す半導体装置により解決される。すなわち、第1導電型の半導体基板と、前記半導体基板の一主面に互いに隔離して形成されたドレイン領域及びソース領域の一方となる第2導電型の第1半導体領域と、前記基板に前記第1の半導体領域から隔離されて形成されたドレイン領域及びソース領域の他方となる第2導電型の第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との間の前記基板上に形成されると共に、前記第1の半導体領域上にトンネル領域を持つゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記トンネル領域を介して前記第1の半導体領域に相対する浮遊ゲートと、前記浮遊ゲ

ート上に絶縁膜を介して形成された制御ゲートとを具備し、前記トンネル領域を有する第1の半導体領域の不純物濃度が、前記第2の半導体領域の不純物濃度よりも大きいことを特徴とする半導体装置により達成される。

【0008】また、前記第1の半導体領域の不純物濃度が、前記第2の半導体領域の不純物濃度よりも1.1倍以上濃度が大きいことを特徴とする半導体装置により達成される。また、前記第1の半導体領域の不純物が、一つの不純物から形成されていることを特徴とする半導体装置により達成される。

【0009】さらに、その製造方法としては以下に示すものである。すなわち、一導電型の半導体基板表面に、フィールド絶縁膜を選択的に形成する工程と、該基板表面にゲート絶縁膜を形成する工程と、該ゲート絶縁膜を介して浮遊ゲートとなる第1導電層を形成する工程と、該第1導電層表面に絶縁膜を形成する工程と、該絶縁膜上に制御ゲートとなる第2導電層を形成する工程と、該第1導電層と該第2導電層とを選択的にエッチングを行い、浮遊ゲートと制御ゲートが同一端を有するようにパターン形成する工程と、次いで、該制御ゲートをマスクとして、反対導電型を示す不純物を打ち込む第1のイオン注入により、ソース及びドレイン領域を形成する工程と、該ソース又は該ドレイン領域の一方に、選択的に該反対導電型を示す不純物を打ち込む第2のイオン注入工程と、次いで、熱処理により該反対導電型を示す不純物を活性化する工程とを含むことを特徴とする半導体装置の製造方法により達成される。

【0010】具体的に説明すると、トンネル領域を大きくするためには、ソース領域の不純物濃度を高くすれば良い。但し、その場合、ドレイン領域の不純物濃度も高くなるために、ショート・チャネル効果はより厳しくなる。よって、ソース領域のみの濃度を高くすれば、問題は回避できる。次に問題になるのが、消去時のリーク電流に伴うトンネル領域の劣化である。ソース領域の不純物濃度を高くし、不純物濃度の薄い層を削除した場合は、消去時にバンド間トンネル電流により発生したホールは、横方向の電界で加速され、ホットホールとなり、トンネル領域に注入される。よって、この横方向電界を弱めれば、ホールの注入を避ける事ができる。ソース領域の不純物濃度を高くした場合、消去の速度を速くする事ができる為、消去時のソース電圧を低減する事が可能となり、横方向の電界も同時に低減される。

【0011】横方向の電界を低減する事ができれば、消去時のリーク電流は、低減する事が可能になる。すなわち、ソース領域の不純物濃度を適度な濃度をドレイン領域の不純物濃度よりも高くする事により、ショートチャネル効果を抑える事ができる。また、ソース領域の不純物濃度を高くする事により、消去領域となる浮遊ゲートとソースのオーバーラップが大きくなり、消去時間を速くでき、また安定した消去特性を取得する事が可能であ

る。

【0012】また、ソース領域の不純物濃度を適度な濃度にする事により、トンネル酸化膜中へのホール注入量が低下し、書換え特性などの不揮発性半導体装置の信頼性を向上する事ができる。

【0013】

【実施の形態】以下、図1乃至図4を参照して、本発明の実施例について説明する。図1は、フラッシュメモリのセル部分に着目して示した平面図である。図2(A)～(D)と図3(E)～(G)は、図1に示したA-A'とB-B'の工程断面図である。図4は、ソース領域の不純物濃度の相違による書き換え特性を示したグラフである。

【0014】図2(A)に示すように、p型半導体基板1の表面には、素子分離領域3が形成されて素子分離が行われている。例えば、前記素子分離は、1050℃で熱酸化により250nm形成される。半導体基板1には、トンネル絶縁膜2が存在する。例えば、前記トンネル絶縁膜2は、1050℃の熱酸化により8nm形成される。

【0015】図2(B)に示すように、トンネル絶縁膜2の上に浮遊ゲートとなる第1導電層4を堆積する。例えば、前記第1導電層4には、CVD法で形成されたリンがドーブされたアモルファスシリコン50nmを用いる。図2(C)に示すように、第1導電層4を図示しないフォトリソグラフィをマスクとしてHBrガスを用いた異方性エッチングを行う。前記フォトリソグラフィを除去した後、前記第1導電層4の上に、絶縁膜5を形成する。例えば、前記絶縁膜5はCVD法により形成された7nmの酸化膜と、CVD法で形成された10nmの窒化膜と、950℃の熱酸化で形成された3nmの酸化膜の3層(ONO膜)で形成される。前記絶縁膜5は、浮遊ゲートと制御ゲートを絶縁する機能を持つ。また、前記絶縁膜5に前記ONO膜を用いることにより、優れたデータ・リテンション特性をもち、大きなカップリング容量を備えたセル構造を形成することが可能である。

【0016】絶縁膜5を形成後、制御ゲートとなる第2導電層6を堆積する。例えば、前記第2導電層6は、CVD法で堆積されるリンがドーブされたアモルファスシリコン120nmとCVD法で堆積されるタングステンシリサイド150nmの2層で形成される。さらに、図2(D)に示すように、前記第1導電層4と前記第2導電層6を選択的にエッチングを行い、浮遊ゲートと制御ゲートが同一端を有するようにパターン形成を行う。例えば、前記第1導電層4のエッチングには、HBrガスを用い、前記第2導電層6のエッチングには、Cl₂とO₂を用いてタングステンシリサイドをエッチングし、HBrガスを用いてアモルファスシリコンをエッチングする。

【0017】図3(E)に示すように、浮遊ゲート及び

制御ゲートをマスクとして、ソース及びドレイン領域を形成するためのn型不純物のイオン打ち込みを行う。例えば、前記n型不純物として砒素、注入エネルギー40keV、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ の条件で行われる。図3(F)に示すように、フォトリソレジスト9をマスクとして、ソース領域8にn型不純物を再度イオン打ち込みする。例えば、前記n型不純物として砒素、注入エネルギー40keV、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ の条件で行われる。また、この場合のドーズ量としては、 $1 \times 10^{15}/\text{cm}^2 \sim 9 \times 10^{15}/\text{cm}^2$ 程度が好ましい。これは、ドーズ量が小さすぎると本発明の効果がなく、また、ドーズ量が大きすぎるとショートチャネル効果を厳しくしてしまう。

【0018】図3(G)に示すように、窒素雰囲気によるアニールを行い、ソース領域8とドレイン領域7を拡散させ、FN(Fowler-Nordheim)消去を行う浮遊ゲートとソースn型拡散層のオーバーラップ領域を確保させる。例えば、前記オーバーラップ領域は、 $0.1 \mu\text{m}$ である。トンネル絶縁膜形成後の熱処理に、 950°C 以上の熱処理を行うと、トンネル絶縁膜質が劣化する事が知られているため、例えば、前記アニールは、 900°C で40分間行う。

【0019】NOR型フラッシュメモリでは、書き込みは、ゲートに8V、ドレインに5Vの電圧を印加し、ホットエレクトロンとなった電子を浮遊ゲートに注入することにより行い、消去は、ゲートに-8V、ソースに3Vの電圧を印加し、FN電流により、電子を浮遊ゲートとソースのオーバーラップ部に引き抜くことにより行う。前記オーバーラップ幅は、消去時間と強い依存性をもつ。ソース領域のN型不純物濃度が高い程、前記オーバーラップ領域の幅が大きくなり、消去時間が速くなる。

【0020】図2(D)に示したソース領域及びドレイン領域のn型不純物濃度を高くするか、図3(G)に示したアニール時間を長くする事により、前記オーバーラップ領域を大きくする事が可能である。しかし、前記対策を行う場合、ドレイン領域のオーバーラップ領域も同時に大きくなり、ショートチャネル効果を厳しくしてしまう。

【0021】本発明は、前記工程により、ソース領域8とドレイン領域7のn型不純物濃度が異なるため、ショートチャネル効果を抑えながら、FN消去領域を確保でき、消去時間を速くする事が可能である。また、図4は縦軸がしきい値(V)、横軸が書き換え回数を示したグラフであり、ソース領域の不純物濃度を高くする事により、消去時に発生するホールのトンネル酸化膜中への注入が低減され、書き換え特性が向上する。

【0022】

【発明の効果】本発明によれば、ソース領域の不純物濃度を適度な濃度をドレイン領域の不純物濃度よりも高くする事により、ショートチャネル効果を抑える事ができる。また、ソース領域の不純物濃度を高くする事により、消去領域となる浮遊ゲートとソースのオーバーラップが大きくなり、消去時間を速くでき、また安定した消去特性を取得する事が可能である。

【0023】また、ソース領域の不純物濃度を適度な濃度にする事により、トンネル酸化膜中へのホール注入量が低下し、書き換え特性などの不揮発性半導体装置の信頼性を向上する事ができる。

【図面の簡単な説明】

【図1】 フラッシュメモリのセル部分に着目して示した平面図である。

【図2】 本発明の一実施形態による工程断面図である。

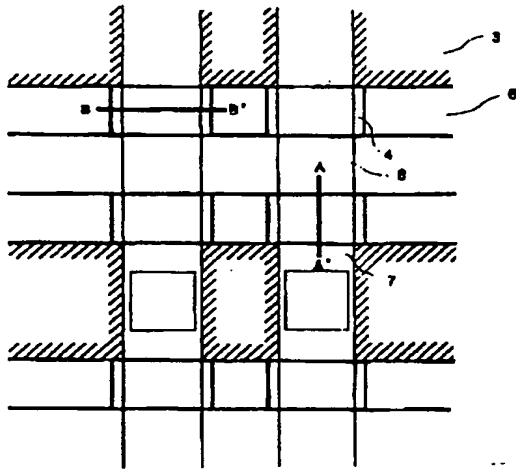
【図3】 本発明の一実施形態による工程断面図である。

【図4】 ソース領域の不純物濃度の相違による書き換え特性を示したグラフである。

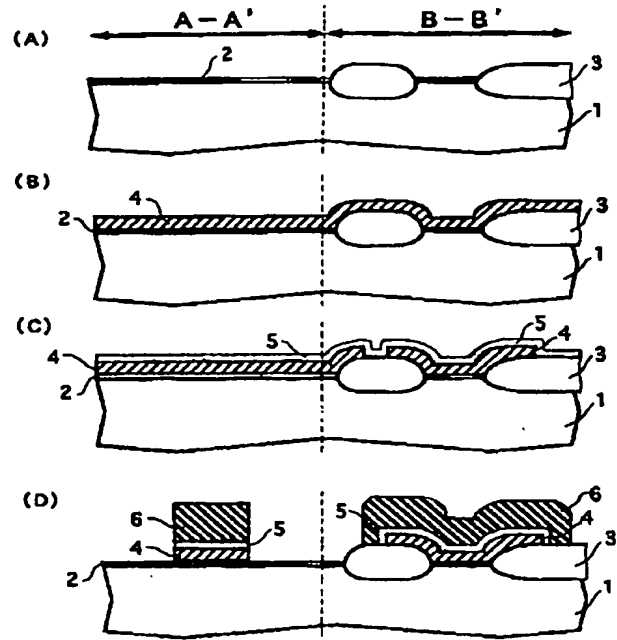
【符号の説明】

- 1 p型半導体基板
- 2 トンネル絶縁膜
- 3 素子分離領域
- 4 第1導電層
- 5 絶縁膜
- 6 第2導電層
- 7 ドレイン領域
- 8 ソース領域
- 9 フォトリソレジスト

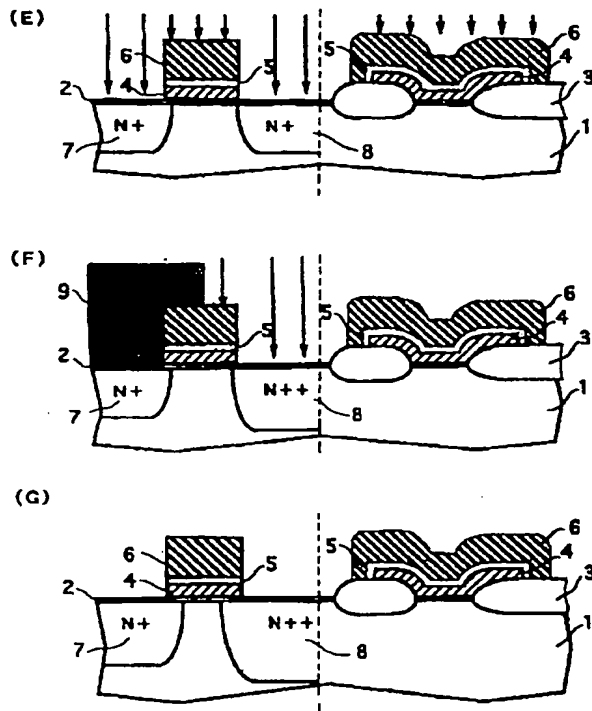
【図 1】



【図 2】

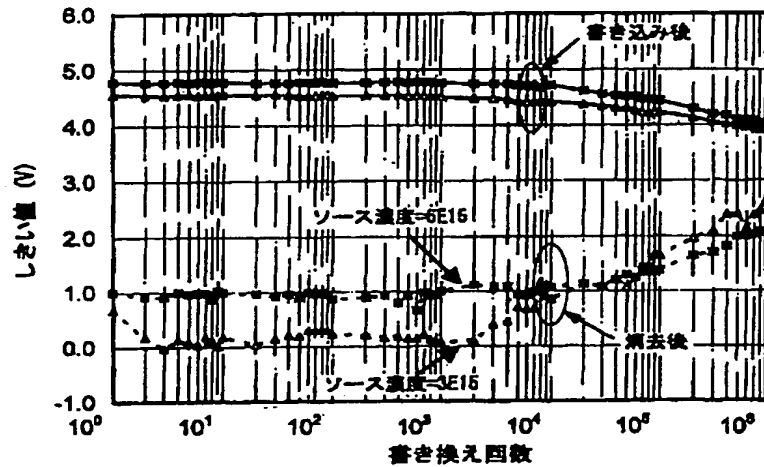


【図 3】



【図4】

書き換え特性



フロントページの続き

(72)発明者 東谷 政昭
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 小森 秀樹
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 嶋田 裕行
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内